

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-025907

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H01L 21/20  
G02F 1/1368  
G09F 9/30  
H01L 21/336  
H01L 27/08  
H01L 29/786  
H01S 3/00

(21)Application number : 2001-128346

(71)Applicant : SEMICONDUCTOR ENERGY LAB  
CO LTD

(22)Date of filing : 25.04.2001

(72)Inventor : KASAHARA KENJI  
KAWASAKI RITSUKO  
OTANI HISASHI

(30)Priority

Priority number : 2000125199

Priority date : 26.04.2000

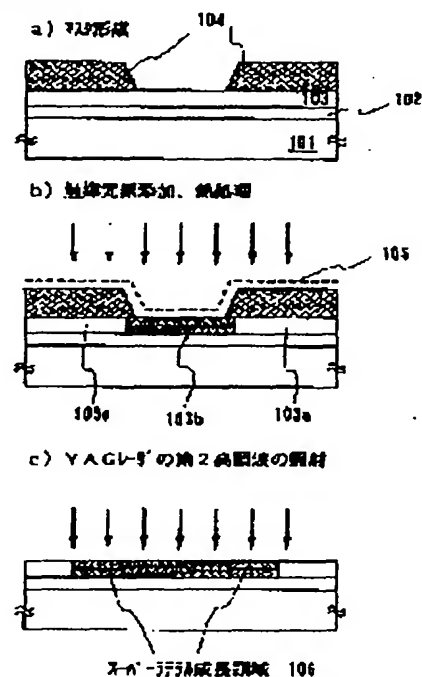
Priority country : JP

## (54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for obtaining a crystalline semiconductor film of large grain diameter by controlling a position by a simple method.

**SOLUTION:** The manufacturing method of a semiconductor device comprises a process for forming an amorphous semiconductor film 103 on an insulator 102, a process of forming a mask formed of an insulation film 104 on the amorphous semiconductor film 103, and adding an element, which promotes crystallization, to a region of an amorphous semiconductor film exposed from an opening part of the mask, a process of forming a polycrystalline semiconductor region 103b selectively by carrying out heating treatment after the addition process, and a process of forming a crystalline semiconductor film by irradiating laser beam whose wavelength is in the range of 390 to 600 nm.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

**3. In the drawings, any words are not translated.**

## CLAIMS

**[Claim(s)]**

[Claim 1] The process which adds the element which promotes crystallization to the field of the process which forms the amorphous semiconductor film on an insulator, and the amorphous semiconductor film which formed the mask which consists of an insulator layer on said amorphous semiconductor film, and was exposed from opening of said mask, The semiconductor device production approach characterized by including the process which performs heat-treatment and forms a polycrystal semiconductor region alternatively after said addition process, and the process in which wavelength irradiates the laser beam of the range which is 390-600nm, and forms the crystalline substance semi-conductor film.

**[Claim 2] It is the semiconductor device production approach characterized by said laser beam being the light of the 2nd higher harmonic (wavelength of 532nm) of Nd:YAG laser in claim 1.**

[Claim 3] The element which promotes said crystallization in claim 1 is the semiconductor device production approach characterized by being nickel (nickel), germanium (germanium), iron (Fe), palladium (Pd), tin (Sn), lead (Pb), cobalt (Co), platinum (Pt), copper (Cu), or gold (Au).

[Claim 4] It is the semiconductor device production approach characterized by opening of said mask being 1 micrometers or more 10 micrometers or less in claim 1.

[Claim 5] The semiconductor device production approach characterized by including the process which forms the amorphous semiconductor film on an insulator, the process which irradiates the 1st laser beam and forms a polycrystal semiconductor region in the field to which said amorphous semiconductor film was chosen alternatively, and the process which irradiates the 2nd laser beam and forms the crystalline substance semi-conductor film.

[Claim 6] It is the semiconductor device production approach which said 1st laser

beam is the light of excimer laser, and is characterized by said 2nd laser beam being the light of the 2nd higher harmonic (wavelength of 532nm) of Nd:YAG laser in claim 5.

[Claim 7] It is the semiconductor device production approach characterized by said the 1st laser beam and said 2nd laser beam being the light of the 2nd higher harmonic (wavelength of 532nm) of Nd:YAG laser in claim 5.

[Claim 8] It is the semiconductor device production approach characterized by irradiating said the 1st laser beam and said 2nd laser beam from the front face, rear face, or both sides of a substrate in claim 5.

[Claim 9] The mask which consists of an insulator layer is formed the process which forms the polycrystal semi-conductor film on an insulator, and on said polycrystal semi-conductor film. The process which be chosen as the field exposed from opening of said mask from silicon (Si), germanium (germanium), an argon (Ar), oxygen (O), or hydrogen (H) and which shifts, adds that element and forms an amorphous semiconductor field alternatively, The semiconductor device production approach characterized by including the process which irradiates a laser beam and forms the crystalline substance semi-conductor film.

[Claim 10] It is the semiconductor device production approach characterized by said laser beam being the light of the 2nd higher harmonic (wavelength of 532nm) of Nd:YAG laser in claim 9.

---

[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-25907

(P 2 0 0 2 - 2 5 9 0 7 A)

(43) 公開日 平成14年1月25日(2002.1.25)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H01L 21/20		H01L 21/20	2H092
G02F 1/1368		G02F 1/1368	5C094
G09F 9/30	338	G09F 9/30	338 5F048
H01L 21/336		H01L 27/08	331 E 5F052
27/08	331	H01S 3/00	B 5F072

審査請求 未請求 請求項の数10 O L (全23頁) 最終頁に続く

(21) 出願番号 特願2001-128346(P 2001-128346)

(22) 出願日 平成13年4月25日(2001.4.25)

(31) 優先権主張番号 特願2000-125199(P 2000-125199)

(32) 優先日 平成12年4月26日(2000.4.26)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 笠原 健司  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 河崎 律子  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 大谷 久  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

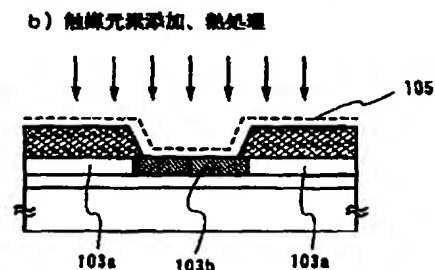
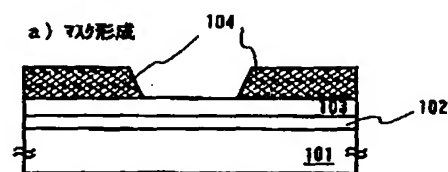
最終頁に続く

(54) 【発明の名称】 半導体装置作製方法

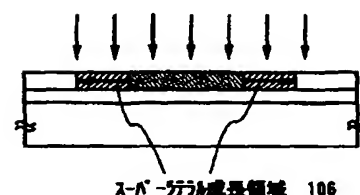
(57) 【要約】 (修正有)

【課題】 簡便な方法で、位置を制御して、結晶粒径の大きな結晶質半導体膜を得る方法を提供する。

【解決手段】 絶縁体102上に非晶質半導体膜103を形成する工程と、前記非晶質半導体膜103上に絶縁膜104からなるマスクを形成し、前記マスクの開口部から露出した非晶質半導体膜の領域に結晶化を助長する元素を添加する工程と、前記添加工程の後、加熱処理を行い選択的に多結晶半導体領域103bを形成する工程と、波長が390～600nmの範囲のレーザ光を照射して結晶質半導体膜を形成する工程を含むことを特徴とする半導体装置作製方法。



c) YAGレーザの第2高調波の照射



## 【特許請求の範囲】

【請求項1】絶縁体上に非晶質半導体膜を形成する工程と、  
前記非晶質半導体膜上に絶縁膜からなるマスクを形成し、前記マスクの開口部から露出した非晶質半導体膜の領域に結晶化を助長する元素を添加する工程と、  
前記添加工程の後、加熱処理を行い選択的に多結晶半導体領域を形成する工程と、  
波長が390～600nmの範囲のレーザ光を照射して結晶質半導体膜を形成する工程を含むことを特徴とする半導体装置作製方法。

【請求項2】請求項1において、前記レーザ光は、Nd:YAGレーザの第2高調波(波長532nm)の光であることを特徴とする半導体装置作製方法。

【請求項3】請求項1において、前記結晶化を助長する元素はニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)もしくは金(Au)であることを特徴とする半導体装置作製方法。

【請求項4】請求項1において、前記マスクの開口部は1μm以上10μm以下であることを特徴とする半導体装置作製方法。

【請求項5】絶縁体上に非晶質半導体膜を形成する工程と、  
前記非晶質半導体膜の選択された領域に第1のレーザ光を照射して選択的に多結晶半導体領域を形成する工程と、  
第2のレーザ光を照射して結晶質半導体膜を形成する工程を含むことを特徴とする半導体装置作製方法。

【請求項6】請求項5において、前記第1のレーザ光は、エキシマレーザの光であり、前記第2のレーザ光はNd:YAGレーザの第2高調波(波長532nm)の光であることを特徴とする半導体装置作製方法。

【請求項7】請求項5において、前記第1のレーザ光および前記第2のレーザ光は、Nd:YAGレーザの第2高調波(波長532nm)の光であることを特徴とする半導体装置作製方法。

【請求項8】請求項5において、前記第1のレーザ光および前記第2のレーザ光は基板の表面、裏面または両面から照射することを特徴とする半導体装置作製方法。

【請求項9】絶縁体上に多結晶半導体膜を形成する工程と、  
前記多結晶半導体膜上に絶縁膜からなるマスクを形成し、前記マスクの開口部から露出した領域にシリコン(Si)、ゲルマニウム(Ge)、アルゴン(Ar)、酸素(O)もしくは水素(H)から選ばれたいずれかの元素を添加して選択的に非晶質半導体領域を形成する工程と、  
レーザ光を照射して結晶質半導体膜を形成する工程を含む

むことを特徴とする半導体装置作製方法。

【請求項10】請求項9において、前記レーザ光はNd:YAGレーザの第2高調波(波長532nm)の光であることを特徴とする半導体装置作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、レーザ光を照射して半導体膜を結晶化して用いた薄膜トランジスタ(以下、TFTと示す)の作製方法に関する。特に、本発明は作製工程に、レーザ光による非晶質半導体膜の結晶化の工程を含んで作製された半導体特性を利用することで機能する半導体装置、画素部とその周辺に設けられる駆動回路を同一基板上に設けた液晶表示装置、EL(エレクトロルミネッセンス)表示装置に代表される電気光学装置(電子装置ともいう)もしくは前記電気光学装置を搭載した電気器具作製方法に関する。

## 【従来技術】

【0002】レーザ光を半導体膜に照射して大粒径の結晶質半導体膜を得る方法がさかんに研究されている。エキシマレーザを用いて半導体膜の結晶化を行った結果を観察した結果、粒径が数百nm程度の単結晶が無数に集まって構成されていることが知られているがこれらの結晶粒の界面(以下、結晶粒界と示す。)には、多数の格子欠陥が存在しており、これらが半導体装置の特性を著しく損ねる原因となっていた。

【0003】そこで、結晶粒径を大きくして結晶粒界を減少させ、結晶粒界に多数存在する格子欠陥の密度を減少させる方法が考えられている。例えば、レーザ光の照射中(および照射後)に、ある領域のみ固相を残して、その他の領域は完全に溶解させる方法があげられる。

【0004】エキシマレーザを代表とするパルスレーザ照射後の半導体膜の固化は、完全溶解したシリコン中に結晶成長の核となりうる固相核が生成し、その固相核から一気に結晶成長する。しかし、固相核が生成するまでにはある程度時間がかかる。そこで、ある位置にのみ固相核となる固相シリコンを残存させてその周囲を完全溶解させると、レーザ光照射後ただちに、この固相シリコンから結晶成長が始まり、それぞれ成長してきた結晶粒が衝突して結晶成長は止まる。

【0005】また、レーザ光を照射することにより半導体膜が完全に溶解した領域において、均一核(あるいは不均一核)が生成するまでの間、膜面に対する水平方向(以下、ラテラル方向と示す。)に固液界面が移動することで膜厚の数十倍もの長さにわたって結晶粒が成長する。以下、この現象をスーパーラテラル成長と示す。このスーパーラテラル成長は、Si/下地SiO<sub>2</sub>/基板構造の場合には、通常1μm以上にわたってラテラル方向に成長することがわかっている。このスーパーラテラル成長は、完全溶解領域における無数の均一(不均一)核が生成することで終了すると考えられている。

【0006】上記した構造でなくても、スーパーラテラル成長を実現するレーザ光照射エネルギー領域は存在する。しかし、実際にはスーパーラテラル成長を実現できるレーザ光のエネルギー領域は非常に狭く、また、位置を制御して粒径の大きな結晶を得ることはできなかった。

【0007】上記のような問題を解決するために、「R. Ishihara and A. Burtsev: AM-LCD '98, p153-p156, 1998」では、 $\text{Si}/\text{SiO}_2$ /メタル/基板という構造を形成し基板の上下からエキシマレーザを用いてレーザ光を照射している。下側からのレーザ光は、金属膜に吸収されて熱に変わり、金属膜を高温に熱している。つまり、金属膜は熱の蓄積層として働いているため、シリコン膜の冷却速度は小さくなっている。この方法で任意の場所に、直径数 $\mu\text{m}$ の結晶粒径を有する結晶質半導体膜を得ることができる。

【0008】また、コロンビア大のJames S. Im氏らは、任意の場所にスーパーラテラル成長を実現させることのできるSequential Lateral Solidification法（以下、SLS法と示す）を示した。SLS法は、1ショットごとにスリット状のマスクを1パルスでスーパーラテラル成長する距離分（ $\sim 0.75\mu\text{m}$ ）ずつずらして結晶を成長させていくという方法である。

【0009】

【発明が解決しようとする課題】R. Ishihara氏らの方法では、基板と絶縁膜（ $\text{SiO}_2$ ）との間のメタルに高融点金属を用いてゲート電極とすれば、ボトムゲート型薄膜トランジスタで有効にこの構造を適応することができる。しかし、この構造をトップゲート型薄膜トランジスタに用いる場合、寄生容量が発生してしまい、消費電力が増加し、薄膜トランジスタの高速動作を実現することは困難である。また、材料によっては、レーザ光の照射時にピーリングが発生することもある。

【0010】また、SLS法は、マスクと基板との相対的な位置決め技術にミクロンオーダーでの精密さが必要であり、通常のレーザ装置と比較して複雑な装置になってしまう。また、大面積領域を有する液晶ディスプレイに適用されるTFTの作製に用いるには、スループットに問題がある。

【0011】本発明は、従来と比較して簡便な方法で結晶粒径の大きな結晶質半導体膜を位置を制御して得る方法を提供することを課題とする。

【0012】

【課題を解決する手段】本発明は上記問題を解決するため、絶縁体上に非晶質半導体膜を形成する工程と、前記非晶質半導体膜上に絶縁膜からなるマスクを形成し、前記マスクの開口部から露出した非晶質半導体膜の領域に結晶化を助長する元素を添加する工程と、前記添加工程の後、加熱処理を行い選択的に多結晶半導体領域を形成する工程と、波長が $390\sim 600\text{nm}$ の範囲のレーザ

光を照射して結晶質半導体膜を形成する工程を含むことを特徴とする半導体装置作製方法である。

【0013】また、上記発明において、前記レーザ光は、Nd:YAGレーザの第2高調波（波長 $532\text{nm}$ ）の光であることを特徴としている。

【0014】また、上記発明において、前記結晶化を助長する元素はニッケル（Ni）、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）もしくは金（Au）であることを特徴としている。

【0015】また、上記発明において、前記マスクの開口部は $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることを特徴としている。

【0016】また、他の発明は、絶縁体上に非晶質半導体膜を形成する工程と、前記非晶質半導体膜の選択された領域に第1のレーザ光を照射して選択的に多結晶半導体領域を形成する工程と、第2のレーザ光を照射して結晶質半導体膜を形成する工程を含むことを特徴とする半導体装置作製方法である。

【0017】また、上記発明において、前記第1のレーザ光は、エキシマレーザの光であり、前記第2のレーザ光はNd:YAGレーザの第2高調波（波長 $532\text{nm}$ ）の光であることを特徴としている。

【0018】また、上記発明において、前記第1のレーザ光および前記第2のレーザ光は、Nd:YAGレーザの第2高調波（波長 $532\text{nm}$ ）の光であることを特徴としている。

【0019】また、上記発明において、前記第1のレーザ光および前記第2のレーザ光は基板の表面、裏面または両面から照射することを特徴としている。

【0020】また、他の発明は、絶縁体上に多結晶半導体膜を形成する工程と、前記多結晶半導体膜上に絶縁膜からなるマスクを形成し、前記マスクの開口部から露出した領域にシリコン（Si）、ゲルマニウム（Ge）、アルゴン（Ar）、酸素（O）もしくは水素（H）から選ばれたいずれかの元素を添加して選択的に非晶質半導体領域を形成する工程と、レーザ光を照射して結晶質半導体膜を形成する工程を含むことを特徴とする半導体装置作製方法である。

【0021】また、上記発明において、前記レーザ光はNd:YAGレーザの第2高調波（波長 $532\text{nm}$ ）の光であることを特徴としている。

【0022】

【発明の実施の形態】〔実施形態1〕図1を用いて、本発明の実施の形態を説明する。基板101上に基板101からの不純物元素の拡散を防ぐために酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜102を形成する。本実施例ではプラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリ

コン膜102aを10~200nm(好ましくは50~100nm)、同様にSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜102bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。

【0023】次に、下地絶縁膜102上に25~80nm(好ましくは30~60nm)の厚さで非晶質半導体膜103をプラズマCVD法やスパッタ法などの公知の方法で形成する。

【0024】非晶質半導体膜103を形成したらその上に、SiO<sub>2</sub>膜104を成膜する。さらに、選択的に非晶質半導体膜103の表面が露呈する開口部を有するマスクSiO<sub>2</sub>104をパターンニングして形成する。本明細書中では、非晶質半導体膜が下地絶縁膜と接する面を非晶質半導体膜の裏面、非晶質半導体膜がゲート絶縁膜と接する面を非晶質半導体膜の表面とする。マスクSiO<sub>2</sub>104は、膜厚は50nm以上で、非晶質半導体膜103の表面が露呈する開口部分の幅は1μm以上10μm以下とする。

【0025】次に、非晶質半導体膜103のマスクSiO<sub>2</sub>104の開口部から露呈する領域の結晶化を行う。

【0026】非晶質半導体膜の結晶化を助長する触媒元素としてニッケル(Ni)を含有した溶液をスピンコート法により塗布し、Ni含有層105を形成した。なお、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、パラジウム(Pd)、白金(Pt)、銅(Cu)、金(Au)、ゲルマニウム(Ge)等を用いることができる(図1(B))。

【0027】また、本実施形態では、マスクSiO<sub>2</sub>104の開口部の幅と、多結晶半導体領域の幅とであまり差がでないように制御するために、100ppmの濃度で触媒元素を含む水溶液をスピンコート法により塗布し、550℃で2時間の加熱処理を行う。なお、触媒元素の添加はスピンコート法以外に、スパッタ法を用いてもよい。

【0028】この加熱処理により、非晶質半導体膜103に非晶質半導体領域103aと多結晶半導体領域103bとを選択的に隣接させて形成することができる。マスクSiO<sub>2</sub>104bの開口部には多結晶半導体領域103bが形成される。なお、多結晶半導体領域の幅は、結晶成長の制御方法にもよるが、マスク開口部の幅より若干広くなることがある。その後、マスクSiO<sub>2</sub>104を除去して、Nd:YAGレーザの第2高調波(波長532nm)を非晶質半導体膜の表面側から照射する。レーザ光の照射は、非晶質半導体膜の裏面側からまたは両面から行ってもよい(図1(C))。

【0029】なお、本実施例ではマスクSiO<sub>2</sub>104を除去したが、そのまま除去せずにレーザ光の照射を行ってもよい。

【0030】ここで、非晶質シリコン領域と多結晶シリ

コン領域が隣接して形成された領域に、波長390~600nmのレーザ光を照射して結晶化することの有効性を説明する。

【0031】図4で示すように波長390~600nm領域の光(Nd:YAGレーザの第2高調波の光を含む領域)では、非晶質シリコンの吸収係数は、多結晶シリコンの吸収係数と比べて、2倍以上大きいことがわかる。

【0032】Nd:YAGレーザの第2高調波の波長532nmでは、非晶質シリコンの吸収係数は、 $9.53 \times 10^4$ /cmであり、多結晶シリコンの吸収係数は、 $2.75 \times 10^4$ /cmである。非晶質シリコンの吸収係数は、多結晶シリコンの吸収係数の3.5倍である。この場合のシリコン膜深さ方向の発熱量分布は、図22のようになる。多結晶シリコンと比較して、非晶質シリコンで、発熱量が大きいことがわかる。

【0033】次に、温度履歴シミュレーション結果例を示す。シミュレーションは、石英ガラス基板上のシリコン膜厚55nmに、Nd:YAGレーザの第2高調波(波長532nm)を照射するモデルである。図23にシミュレーションから得られた、シリコン層と石英ガラス基板との界面の温度履歴を示す。シリコン層が非晶質シリコンの場合、最高到達温度は、2583Kである。一方、シリコン層を多結晶シリコンとした場合の最高到達温度は、1292Kである。つまり、非晶質シリコンは完全溶融しているが、多結晶シリコンは、固相状態である。

【0034】以上のように、Nd:YAGレーザの第2高調波(波長532nm)の光を図1(B)で形成した多結晶半導体領域が形成された(非晶質半導体領域と多結晶半導体領域とが隣接した)半導体膜に照射すると、非晶質半導体領域103aは完全溶融状態となり、多結晶半導体領域103bは一部に固相が存在する不完全溶融状態(少なくとも、下地との界面に固相が存在する状態)になる。

【0035】そして、多結晶半導体領域103bに残った固相が核となり、完全溶融状態の領域103aにむかって固液界面が移動し、結晶成長が進むと考えられる。

【0036】1回のレーザ光の照射を行うことにより、0.5~3μm程度のスーパーラテラル成長した結晶粒106が非晶質半導体領域103aと多結晶半導体領域103bとの間に形成される。このスーパーラテラル成長粒をTFTのチャネル領域に作製することで、電流輸送特性の良好なTFTを得ることができる。特に、結晶成長の方向がチャネルの長さ方向になるようにTFTを設計、作製することが望ましい。

【0037】〔実施形態2〕実施形態1で示した方法とは異なる方法で、非晶質半導体膜103に選択的に非晶質半導体領域103aと多結晶半導体領域103bとを隣接させて形成する方法について図2を用いて説明す



る。

【0038】非晶質半導体膜103を成膜したら、マスク201を介して非晶質半導体膜103にレーザ光の照射を行って、選択的に非晶質半導体領域103aと多結晶半導体領域103bを形成する。ここで使用するレーザは、エキシマレーザでもNd:YAGレーザでもよい。また、レーザ光の照射は非晶質半導体膜の表面、裏面もしくは表面と裏面との両面から行ってもよい。

【0039】スリット201aは1 $\mu$ m以上10 $\mu$ m以下とする。また、マスク201は、W（タングステン）、Mo（モリブデン）、Ta（タンタル）、Ta<sub>2</sub>N（窒化タンタル）、Cr（クロム）、Nb（ニオブ）、TiN（窒化チタン）、Si（シリコン）からなる単層膜または積層膜をガラスや石英基板上に所定のパターンで形成したものを使用すればよい。スリットが上記の範囲内であればどのようなマスクを用いても構わない。

【0040】レーザ光を照射することにより、選択的に非晶質半導体領域103aと多結晶半導体領域103bが形成される。この非晶質半導体領域と多結晶半導体領域が隣接した状態の半導体（シリコン）膜103にNd:YAGレーザの第2高調波を照射すると、非晶質半導体領域103aは完全熔融状態になり、多結晶半導体領域103bは一部に固相が残存する不完全熔融状態になる。その後、多結晶半導体領域の固相が結晶成長の核となって、そこから非晶質半導体領域103aに向かって結晶成長が進み、スーパーラテラル成長領域202が実現できる。

【0041】〔実施形態3〕実施形態1または実施形態2とは異なる方法で非晶質半導体（シリコン）膜に、位置を制御して非晶質半導体領域と多結晶半導体領域とが隣接した状態を形成する方法について図3を用いて説明する。

【0042】非晶質半導体膜103の全面にレーザ光を照射して多結晶半導体膜301を形成する。その後、SiO<sub>2</sub>膜302を形成し、SiO<sub>2</sub>マスク302の開口部分にあたる多結晶半導体膜301にドーピング種をドーピングして、マスク開口部分の多結晶半導体膜は結晶組織が破壊されて再び非晶質半導体膜303が形成される。このドーピング種はアルゴン（Ar）、ゲルマニウム（Ge）、酸素（O）、水素（H）、シリコン（Si）から選ばれたいずれかの元素であればよいが、なかでもシリコン（Si）をドーピング種とすることが好ましい。

【0043】なお、多結晶半導体膜を形成する方法は、レーザによる結晶化方法、触媒元素を用いる結晶化方法もしくは、熱による結晶化方法でもよい。ただし、触媒元素を用いる結晶化方法により多結晶半導体膜を形成した場合には、結晶組織を破壊するためのドーピング種にシリコン（Si）を用いることが好ましい。

【0044】選択的に多結晶半導体領域と非晶質半導体領域とが隣接して形成された半導体膜に、Nd:YAG

レーザの第2高調波を照射する。Nd:YAGレーザの第2高調波の光を照射することによって、非晶質半導体領域は完全熔融状態になり、多結晶半導体領域は一部に固相が残存する不完全熔融状態になる。多結晶半導体領域に残留した固相が結晶成長の核となり、そこから非晶質半導体領域に向かって結晶成長が進み、スーパーラテラル成長領域304が得られる。

【0045】本実施形態の方法を用いれば、不純物元素をドーピングする工程で用いるマスクの形状によって結晶粒を成長させる位置の制御が可能になる。

【0046】以上のように実施形態1～3で示したいずれかの結晶成長方法を用いて、結晶化させた半導体膜を用いてTFTを作製すればよい。

【0047】

【実施例】〔実施例1〕本実施例について図5～図7を用いて説明する。ここでは画素部のnチャネル型TFT（以下、画素TFTと示す）および保持容量と、画素部の周辺に設けられる駆動回路のnチャネル型TFTとpチャネル型TFTとを同時に作製する工程について説明する。

【0048】図5（A）において、基板501にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。さらに、処理温度によっては、ポリエチレンテレフタレート（PET）、ポリエチレンテレフタレート（PEN）、ポリエーテルサルホン（PES）など光学的異方性を有しないプラスチック基板を用いることもできる。

【0049】基板501のTFTを形成する表面に、基板501からの不純物元素の拡散を防ぐために酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜502を形成する。本実施例ではプラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜502aを10～200nm（好ましくは50～100nm）、同様にSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜502bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。

【0050】酸化窒化シリコン膜は従来の平行平板型のプラズマCVD法を用いて形成すればよい。酸化窒化シリコン502aは、SiH<sub>4</sub>を10（SCCM）、NH<sub>3</sub>を100（SCCM）、N<sub>2</sub>Oを20（SCCM）として反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとする。一方、酸化窒化水素化シリコン502bは、SiH<sub>4</sub>を5（SCCM）、N<sub>2</sub>Oを120（SCCM）、H<sub>2</sub>を125（SCCM）として反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとする。これらの膜は、基板温度を変化さ

せ、反応ガスの切り替えのみで連続して形成することもできる。

【0051】また、酸化窒化シリコン膜502aは基板を中心に考えて、その内部応力が引っ張り応力となるように形成する。酸化窒化水素化シリコン膜502bも同様の方向に内部応力を持たせるが、酸化窒化シリコン膜502aよりも絶対値で比較して小さい応力となるようにする。

【0052】次に、25～80nm（好ましくは30～60nm）の厚さで非晶質半導体膜（本実施例では半導体膜として、シリコンゲルマニウム膜を用いる。）503をプラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質半導体膜を55nmの厚さに形成する。このとき、下地膜502と非晶質半導体膜503とは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜502aと酸化窒化水素化シリコン膜502bをプラズマCVD法で連続して成膜した後、反応ガスをSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>からSiH<sub>4</sub>とH<sub>2</sub>あるいはSiH<sub>4</sub>のみに切り替えれば、いったん大気雰囲気に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜502bの表面の汚染を防ぐことが可能となり、TFET特性のパラッキやしきい値電圧の変動を低減させることができる。

【0053】次に、本実施例では、図24(a)に示すように、実施形態1にしたがって、半導体膜を形成したら、マスクを形成する。その後、触媒元素を添加して加熱処理を行い、半導体膜の一部に多結晶半導体領域を形成する。次に、図25に示すように、半導体膜全体に形成された複数の多結晶半導体領域に直交するようにNd:YAGレーザの第2高調波（532nm）の光を照射して、多結晶半導体領域を結晶成長の核とした結晶成長させる。本実施例では、実施形態1を用いて半導体膜の結晶化を行っているが、半導体膜の結晶化の方法は、実施形態2または3で示した方法を用いればよい。

【0054】結晶化工程の後、島状半導体層504～506を形成する。本実施例では、図24(c)で示すように、結晶成長が矢印の方向に進むように半導体膜を島状に形成する。島状半導体層は長方形とし一辺が50μm以下となるように形成するが、島状半導体層の形状は任意なものとするのが可能であり、好ましくはその中心部から端部までの最小距離が50μm以下となるような形態であればどのような多角形、あるいは円形でもかまわないが、結晶成長の方向がチャンネル長の方向に沿うように島状半導体層を形成することが好ましい。

【0055】次いで、島状半導体層504～506を覆うゲート絶縁膜507を形成する。ゲート絶縁膜507はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さの酸化窒化シリコ

ン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethylorthosilicate）とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の加熱処理によりゲート絶縁膜として良好な特性を得ることができる。

【0056】そして、ゲート絶縁膜507上にゲート電極を形成するための第1の導電膜508と第2の導電膜509とを形成する。本実施例では、第1の導電膜508をTa（タンタル）で50～100nmの厚さに形成し、第2の導電膜509をW（タングステン）で100～300nmの厚さに形成する。

【0057】Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10～50nm程度の厚さでTaの下地に形成しておくことα相のTa膜を容易に得ることができる。

【0058】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン（WF<sub>6</sub>）を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9～99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物元素の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができる。

【0059】なお、本実施例では、第1の導電膜508をTa、第2の導電膜509をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜508を窒化タンタル（Ta<sub>3</sub>N<sub>5</sub>）で形成し、第2の導電膜509をWとする組

み合わせ、第1の導電膜508を窒化タンタル(Ta<sub>2</sub>N<sub>5</sub>)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(Ta<sub>2</sub>N<sub>5</sub>)で形成し、第2の導電膜509をCuとする組み合わせで形成することが好ましい。

【0060】次に、レジストによるマスク510~513を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とC<sub>2</sub>F<sub>6</sub>を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とC<sub>2</sub>F<sub>6</sub>を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0061】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層514~517(第1の導電層514a~517aと第2の導電層514b~517b)を形成する。ゲート絶縁膜507の第1の形状の導電層514~517で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

【0062】次に、図5(D)に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスにCF<sub>4</sub>とC<sub>2</sub>F<sub>6</sub>とO<sub>2</sub>を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層518~521(第1の導電層518a~521aと第2の導電層518b~521b)を形成する。ゲート絶縁膜507の第2の形状の導電層518~521で覆われない領域はさらに20~50nm程度エッチングされ薄くなった領域が形成される。

【0063】W膜やTa膜のCF<sub>4</sub>とC<sub>2</sub>F<sub>6</sub>の混合ガスによるエッチング反応は、生成されるラジカルまたはイオ

ン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF<sub>6</sub>が極端に高く、その他のWC<sub>2</sub>F<sub>6</sub>、TaF<sub>5</sub>、TaCl<sub>5</sub>は同程度である。従って、CF<sub>4</sub>とC<sub>2</sub>F<sub>6</sub>の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO<sub>2</sub>を添加するとCF<sub>4</sub>とO<sub>2</sub>が反応してCOとFになり、フラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O<sub>2</sub>を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0064】第1のエッチング処理および第2のエッチング処理が終了したら、第1のドーピング処理を行いn型を付与する不純物元素を添加する(図5(D))。ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。第2の形状の導電層518~520をマスクとして島状半導体層に、n型を付与する不純物元素が添加される。1×10<sup>17</sup>~5×10<sup>18</sup>/cm<sup>3</sup>(好ましくは、3×10<sup>17</sup>~3×10<sup>18</sup>/cm<sup>3</sup>)の濃度範囲のn型不純物領域(b)522~526が形成されるように加速電圧を70~120keVとしてドーピング処理が行われる。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。

【0065】また第2の導電層518b~520bの一部がエッチングされた領域の島状半導体層は、第1の導電層518a~520aおよびゲート絶縁膜507をすり抜けてn型を付与する不純物元素が添加され、2×10<sup>18</sup>~1×10<sup>19</sup>/cm<sup>3</sup>(好ましくは、6×10<sup>18</sup>~6×10<sup>19</sup>/cm<sup>3</sup>)の濃度範囲のn型不純物領域(c)527~530が形成される。

【0066】第1のドーピング処理工程が終了したら、レジストマスク510b~513bを除去する(図6(A))。

【0067】次に、図6(B)に示すように第2のドーピング処理を行う。まず、島状半導体506のチャネル形成領域を覆うようにして、レジストマスク531を形成する。次に、加速電圧を80~200keVとし、5×10<sup>17</sup>~5×10<sup>18</sup>/cm<sup>3</sup>(好ましくは、1×10<sup>18</sup>~1×10<sup>19</sup>/cm<sup>3</sup>)の濃度範囲のn型不純物領域(b')538を形成するためにn型を付与する不純物元素をドーピングする。この時不純物元素は、島状半導体層505上の第1の導電層514aおよびゲート絶縁膜507をすり抜けて、添加される。

【0068】次に、不純物の濃度範囲が $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ （好ましくは、 $2 \times 10^{18} \sim 5 \times 10^{20} / \text{cm}^3$ ）であるn型不純物領域（a）533～536を形成するためにn型を付与する不純物元素の添加を行う（図6（B））。

【0069】そして、図6（C）に示すように、pチャネル型TFTを形成する島状半導体層504にp型不純物領域を形成する。まず、p型の不純物元素を添加する領域以外を隠すレジストマスク543を形成する。そして、第1の導電層514aを不純物元素に対するマスクとして用い、p型不純物領域（a）544およびp型不純物領域（b）545を形成する。p型不純物領域544、545にはそれぞれ異なる濃度でリンが添加されているが、 $B_2H_6$ を用いたイオンドーピング法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{18} \sim 2 \times 10^{21} / \text{cm}^3$ となるようにする。

【0070】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第2の導電層518～520がゲート電極として機能する。また、521は容量配線として機能する。

【0071】こうして導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程は炉を用いる加熱処理（ファーンズアニール法）を行う。その他にレーザアニール法を適用することができる。加熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では500℃で4時間の加熱処理を行う。ただし、518～521に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

【0072】このとき、n型不純物元素が添加された領域、すなわちn型不純物領域もしくはp型不純物領域でn型不純物元素を含む領域に、非晶質シリコン膜の結晶化に用いたニッケルが、n型不純物元素が添加された領域の方向に移動し、ゲッターリングされる。すなわち、TFTのチャネル形成領域560～562のニッケル濃度が大幅に低減され、少なくとも $1 \times 10^{14} / \text{cm}^3$ 以下となる。

【0073】さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の加熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0074】次いで、第1の層間絶縁膜546は酸化窒化シリコン膜から100～200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜

547を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0075】そして、駆動回路405において島状半導体層のソース領域とコンタクトを形成するソース配線548、549、550、ドレイン領域とコンタクトを形成するドレイン配線551、552を形成する（図7（A））。ドレイン配線552は、画素電極としても用いられている。本実施例では配線548～552は、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0076】以上のようにして、pチャネル型TFT401およびnチャネル型TFT402を有する駆動回路405と、画素TFT403、保持容量404とを有する画素部406を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0077】なお、図21に示すように、ドレイン電極（画素電極）552を配線548～551と同じ材料で形成されるドレイン電極601と酸化物導電膜で形成される画素電極602とにおきかえて形成することで、透過型の液晶表示装置を作製することもできる。

【0078】駆動回路405のpチャネル型TFT401にはチャネル形成領域560、ゲート電極を形成する第1の導電層518aと重なるp型不純物領域（b）545、ソース領域またはドレイン領域として機能するp型不純物領域（a）544を有している。nチャネル型TFT402にはチャネル形成領域561、ゲート電極を形成する第1の導電層519aと重なるn型不純物領域（b）538（Lov領域：なお、ovはoverlappedの意味で付す。）、ソース領域またはドレイン領域として機能するn型不純物領域（a）534を有している。

【0079】画素部406の画素TFT403にはチャネル形成領域562、ゲート電極を形成する第1の導電層520aと重なるn型不純物領域（c）539（Lov領域）、ゲート電極の外側に形成されるn型不純物領域（b）540（Loff領域：なお、offはoffsetの意味で付す。）とソース領域またはドレイン領域として機能するn型不純物領域（a）535を有している。また、保持容量404の一方の電極として機能する半導体層にはn型不純物領域（a）と同じ濃度の領域536が形成され、第1の容量配線521aが残った領域の半導体層には、n型不純物領域（c）と同じ濃度の領域541が形成される。容量配線521とその間の絶縁層（ゲート絶縁膜と同じ層）とで保持容量を形成している。

【0080】続いてアクティブマトリクス基板から、反射型のアクティブマトリクス型液晶表示装置を作製する工程を説明する。図7（A）の状態のアクティブマトリクス基板に対し、配向膜701を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられてい

10

20

30

40

50

る。対向側の対向基板 702 には、遮光膜 703、透明導電膜 704 および配向膜 705 を形成した。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。そして、画素部と、CMOS 回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料 706 を注入し、封止剤（図示せず）によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図 7 (B) に示すアクティブマトリクス型液晶表示装置が完成した。

【0081】本実施例で示す工程に従えば、良好な特性を有する半導体膜を作製することができ、さらに、製造コストの低減及び歩留まりの向上に寄与することができる。

【0082】〔実施例 2〕実施例 1 に従って、基板上に下地絶縁膜を設け、その上に半導体膜を形成して結晶化を行う。本実施例では半導体膜として、シリコン膜を用いる。また、本実施例における半導体膜の結晶化工程は、実施形態 1 ～ 3 に示したいずれかの方法で行う。

【0083】次に、本実施例では、図 24 (a) に示すように、実施形態 1 にしたがって、半導体膜を形成したら、マスクを形成する。その後、触媒元素を添加して加熱処理を行い、半導体膜の一部に多結晶領域を形成する。次に、図 25 に示すように、半導体膜全体に形成された複数の多結晶半導体領域に直交するように Nd : YAG レーザの第 2 高調波 (532 nm) を照射して、多結晶半導体領域を結晶成長の核とした結晶成長させる。本実施例では、実施形態 1 を用いて半導体膜の結晶化を行っているが、半導体膜の結晶化の方法は、実施形態 2 または 3 で示した方法を用いてもよい。

【0084】結晶化工程の後、島状半導体層 1102 ～ 1106 を形成する。本実施例では、図 24 (c) で示すように、結晶成長が矢印の方向に進むように半導体膜を島状に形成する。島状半導体層は長方形とし一辺が 50  $\mu\text{m}$  以下となるように形成するが、島状半導体層の形状は任意なものとするのが可能であり、好ましくはその中心部から端部までの最小距離が 50  $\mu\text{m}$  以下となるような形態であればどのような多角形、あるいは円形でもかまわないが、結晶成長の方向がチャネル長の方向に沿うように島状半導体層を形成することが好ましい。

【0085】次に、島状半導体層を覆うようにしてゲート絶縁膜 1107 を形成する。さらに、ゲート絶縁膜 1107 上にゲート電極を形成するための第 1 の導電膜 1108 および第 2 の導電膜 1109 として本実施例では、実施例 1 と同様に TaN 膜および W 膜を形成する（図 6 (A)）。第 1 の導電膜 1108 および第 2 の導電膜の材料は、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu から選ばれた元素、または前記元

素を主成分とする合金材料もしくは化合物材料で形成してよい。

【0086】次に、レジストによるマスク 1110 ～ 1116 を形成し、電極および配線を形成するための第 1 のエッチング処理を行う。本実施例では、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに  $\text{CF}_4$  と  $\text{Cl}_2$  を混合し、1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してプラズマを精製して行う。基板側（試料ステージ）にも 100 W の RF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$  と  $\text{Cl}_2$  を混合した場合には W 膜および TaN 膜とも同程度にエッチングされる。

【0087】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層および第 2 の導電層の端部がテーパ形状となる。テーパ部の角度は  $15 \sim 45^\circ$  となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには 10 ～ 20 % 程度の割合でエッチング時間を増加させるとよい。W 膜に対する酸化窒化シリコン膜の選択比は 2 ～ 4（代表的には 3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は 20 ～ 50 nm 程度エッチングされることになる。こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層からなる第 1 の形状の導電層 1118 ～ 1124（第 1 の導電層 1118a ～ 1124a と第 2 の導電層 1118b ～ 1124b）を形成する。1117 はゲート絶縁膜であり、第 1 の形状の導電層 1118 ～ 1124 で覆われない領域は 20 ～ 50 nm 程度エッチングされ薄くなった領域が形成される。

【0088】そして、第 1 のドーピング処理を行い n 型を付与する不純物元素を添加する（図 8 (B)）。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えばよい。不純物濃度が、 $5 \times 10^{19} \sim 5 \times 10^{21} / \text{cm}^3$ （好ましくは  $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ ）となるように不純物元素の添加を行った。

【0089】また、n 型を付与する不純物元素としては 15 族に属する元素、典型的にはリン (P) または、砒素 (As) を用いるが、ここでは、リン (P) を用いる。この場合、導電層 1118 ～ 1122 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に n 型不純物領域 (a) 1125 ～ 1129 が形成される。

【0090】次に、図 8 (C) に示すように第 2 のエッチング処理を行う。同様に ICP エッチングを行い、エッチングガスに  $\text{CF}_4$  と  $\text{Cl}_2$  と  $\text{O}_2$  とを混合して、1 Pa の圧力でコイル型の電極に 500 W の RF 電力 (13.56 MHz) を供給し、プラズマを生成して行う。基板側（試料ステージ）には 50 W の RF (13.56 MHz) 電力を投入して、第 1 のエッチング処理に比べ低い



自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTa<sub>2</sub>Nを異方性エッチングして第2の形状の導電層1131~1137（第1の導電層1131a~1137aと第2の導電層1131b~1137b）を形成する。1130はゲート絶縁膜であり、第2の形状の導電層1131~1137で覆われない領域はさらに20~50nm程度エッチングされ薄くなった領域が形成される。

【0091】W膜やTa<sub>2</sub>N膜のCF<sub>4</sub>とCl<sub>2</sub>の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTa<sub>2</sub>Nのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF<sub>6</sub>が極端に高く、その他のWCl<sub>6</sub>、TaF<sub>5</sub>、TaCl<sub>5</sub>は同程度である。従って、CF<sub>4</sub>とCl<sub>2</sub>の混合ガスではW膜およびTa<sub>2</sub>N膜ともにエッチングされる。しかし、この混合ガスに適量のO<sub>2</sub>を添加するとCF<sub>4</sub>とO<sub>2</sub>が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、Ta<sub>2</sub>NはFが増大しても相対的にエッチング速度の増加は少ない。また、Ta<sub>2</sub>NはWに比較して酸化されやすいので、O<sub>2</sub>を添加することでTa<sub>2</sub>Nの表面が多少酸化される。Ta<sub>2</sub>Nの酸化物はフッ素や塩素と反応しないためさらにTa<sub>2</sub>N膜のエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa<sub>2</sub>N膜よりも大きくすることが可能となる。

【0092】そして、図9（A）に示すように第2のドーピング処理を行う。n型不純物領域（b）1138~1142を形成する。n型不純物領域（b）におけるn型不純物の濃度が $5 \times 10^{17} \sim 5 \times 10^{19}/\text{cm}^3$ （好ましくは $1 \times 10^{18} \sim 1 \times 10^{19}/\text{cm}^3$ ）となるように不純物元素の添加を行う。また、第2の形状の第1の導電膜1131~1137とゲート絶縁膜1130とを不純物元素が通り抜け、不純物濃度が $1 \times 10^{17} \sim 5 \times 10^{18}/\text{cm}^3$ （好ましくは $3 \times 10^{17} \sim 3 \times 10^{18}/\text{cm}^3$ ）の領域n型不純物領域（c）1143~1147も同時に形成される。

【0093】次に、図9（B）に示すように、pチャネル型TFTを形成する島状半導体層1103に一導電型とは逆の導電型の不純物元素を添加してp型不純物領域1151~1156を形成する。第2の導電層1132bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層1102、1104、1105はレジストマスク1148~1150で全面を被覆しておく。不純物領域1151~1156にはそれぞれ異なる濃度でリンが添加されているが、ジボラン（B<sub>2</sub>H<sub>6</sub>）を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{19} \sim 2 \times 10^{21}/\text{cm}^3$

$\text{m}^3$ となるようにする。

【0094】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第2の導電層1131~1134がゲート電極として機能する。また、1136は島状のソース配線、1137はゲート配線、1135は容量配線として機能する。

【0095】こうして導電型の制御を目的として図9（c）に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程は炉を用いる加熱処理（ファーンズアニール法）を行う。その他に、レーザアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。加熱処理は、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~600℃で行うこともある。本実施例では500℃で4時間の加熱処理を行う。ただし、1131~1137に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

【0096】このとき、n型不純物元素が添加された領域、すなわちn型不純物領域もしくはp型不純物領域でn型不純物元素を含む領域に、非晶質半導体膜の結晶化に用いたニッケルが、n型不純物元素が添加された領域に移動しゲッタリングされる。すなわち、TFTのチャネル形成領域1168~1171のニッケル濃度が大幅に低減され、少なくとも $1 \times 10^{14}/\text{cm}^3$ 以下となる。

【0097】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の加熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行ってもよい。

【0098】次いで、第1の層間絶縁膜1157は酸化窒化シリコン膜から100~200nmの厚さで形成する。その上に有機絶縁物材料からなる第2の層間絶縁膜1158を形成する。そして、コンタクトホールを形成するためのエッチング工程を行う。

【0099】駆動回路1405において島状半導体層のソース領域とコンタクトを形成するソース配線1159~1161、ドレイン領域とコンタクトを形成するドレイン配線1162~1164を形成する。また、画素部1406においては、画素電極1167、ゲート配線1166、接続電極1165を形成する（図10）。この接続電極1165により、ソース配線1137は、画素TFT1404と電気的な接続が形成される。また、ゲート配線1166は、第1の電極と電気的な接続が形成される。

【0100】本実施例では、画素電極1167を酸化物導電膜（代表的には、ITO膜）で形成することで透過

型の液晶表示装置を作製することもできる。

【0101】以上のようにして、nチャネル型TFT 1401、pチャネル型TFT 1402、nチャネル型TFT 1403を有する駆動回路1405と、画素TFT 1404と保持容量1405とを有する画素部1406とを同一基板上に形成することができる。

【0102】〔実施例3〕本実施例では、本発明を用いてEL（エレクトロルミネセンス）表示装置を作製した例について説明する。なお、図11（A）は本発明のEL表示装置の上面図であり、図11（B）はその断面図

である。

【0103】図11（A）において、4001は基板、4002は画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC（フレキシブルプリントサーキット）4006に至り、外部機器へと接続される。

【0104】このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられてい

る。

【0105】また、図11（B）は図11（A）をA-A'で切断した断面図に相当し、基板4001の上にソース側駆動回路4003に含まれる駆動TFT（nチャネル型TFTとpチャネル型TFT）4201及び画素部4002に含まれる電流制御用TFT（EL素子への電流を制御するTFT）4202が形成されている。

【0106】本実施例では、駆動TFT 4201には図10のpチャネル型TFTまたはnチャネル型TFTと同じ構造のTFTが用いられ、電流制御用TFT 4202には図7または図10のpチャネル型TFTと同じ構造のTFTが用いられる。また、画素部4002には電流制御用TFT 4202のゲートに接続された保持容量（図示せず）が設けられる。

【0107】駆動TFT 4201及び画素TFT 4202の上には樹脂材料でなる層間絶縁膜（平坦化膜）4301が形成され、その上に画素TFT 4202のドレインと電気的に接続する画素電極（陽極）4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0108】そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL（エレクトロルミネセンス）層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることが

できる。また、有機EL材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0109】EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0110】EL層4304の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0111】そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC 4006に電気的に接続される。

【0112】以上のようにして、画素電極（陽極）4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0113】カバー材4102としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0114】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0115】また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いるこ

とができる。この充填材 4103 の内部に吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質を設けておくことと EL 素子の劣化を抑制できる。

【0116】また、充填材 4103 の中にスペーサを含ませてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極 4305 上に樹脂膜を設けることも有効である。

【0117】また、配線 4005 は異方導電性フィルム 4307 を介して FPC 4006 に電氣的に接続される。配線 4005 は画素部 4002、ソース側駆動回路 4003 及びゲート側駆動回路 4004 に送られる信号を FPC 4006 に伝え、FPC 4006 により外部機器と電氣的に接続される。

【0118】また、本実施例では第 1 シール材 4101 の露呈部及び FPC 4006 の一部を覆うように第 2 シール材 4104 を設け、EL 素子を徹底的に外気から遮断する構造となっている。こうして図 11 (B) の断面構造を有する EL 表示装置となる。

【0119】ここで画素部のさらに詳細な断面構造を図 12 に、上面構造を図 13 (A) に、回路図を図 13 (B) に示す。図 12、図 13 (A) 及び図 13 (B) では共通の符号を用いるので互いに参照すれば良い。

【0120】図 12 において、基板 4401 上に設けられたスイッチング用 TFT 4402 は図 10 の n チャネル型 TFT 403 を用いて形成される。従って、構造の説明は n チャネル型 TFT 403 の説明を参照すれば良い。また、4403 で示される配線は、スイッチング用 TFT 4402 のゲート電極 4404a、4404b を電氣的に接続するゲート配線である。

【0121】なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0122】また、スイッチング用 TFT 4402 のドレイン配線 4405 は電流制御用 TFT 4406 のゲート電極 4407 に電氣的に接続されている。なお、電流制御用 TFT 4406 は図 10 の p チャネル型 TFT 401 を用いて形成される。従って、構造の説明は p チャネル型 TFT 401 の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0123】スイッチング用 TFT 4402 及び電流制御用 TFT 4406 の上には第 1 パッシベーション膜 4408 が設けられ、その上に樹脂からなる平坦化膜 4409 が形成される。平坦化膜 4409 を用いて TFT による段差を平坦化することは非常に重要である。後に形成される EL 層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL 層

をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0124】また、4418 は透明導電膜からなる画素電極（EL 素子の陽極）であり、電流制御用 TFT 4406 のドレイン配線 4414 に電氣的に接続される。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【0125】画素電極 4418 の上には EL 層 4411 が形成される。なお、図 12 では一画素しか図示していないが、本実施例では R（赤）、G（緑）、B（青）の各色に対応した EL 層を作り分けている。また、本実施例では蒸着法により低分子系有機 EL 材料を形成している。具体的には、正孔注入層として 20 nm 厚の銅フタロシアニン（CuPc）膜を設け、その上に発光層として 70 nm 厚のトリス-8-キノリノラトアルミニウム錯体（Alq<sub>3</sub>）膜を設けた積層構造としている。Alq<sub>3</sub> にキナクリドン、ペリレンもしくは DCM1 といった蛍光色素を添加することで発光色を制御することができる。

【0126】但し、以上の例は EL 層として用いることのできる有機 EL 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて EL 層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例では低分子系有機 EL 材料を EL 層として用いる例を示したが、高分子系有機 EL 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 EL 材料や無機材料は公知の材料を用いることができる。

【0127】次に、EL 層 4411 の上には導電膜からなる陰極 4412 が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知の MgAg 膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の 1 族もしくは 2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0128】この陰極 4412 まで形成された時点で EL 素子 4413 が完成する。なお、ここでいう EL 素子 4413 は、画素電極（陽極）4418、EL 層 4411 及び陰極 4412 で形成された積層を指す。

【0129】次に、本実施例における画素の上面構造を図 13 (A) を用いて説明する。スイッチング用 TFT 4402 のソースはソース配線 4415 に接続され、ドレインはドレイン配線 4405 に接続される。また、ドレイン配線 4405 は電流制御用 TFT 4406 のゲート電極 4407 に電氣的に接続される。また、電流制御

10

20

30

40

50



用 TFT 4406 のソースは電流供給線 4416 に電氣的に接続され、ドレインはドレイン配線 4417 に電氣的に接続される。また、ドレイン配線 4417 は点線で示される画素電極（陽極）4418 に電氣的に接続される。

【0130】このとき、4419 で示される領域には保持容量が形成される。保持容量 4419 は、電流供給線 4416 と電氣的に接続された半導体膜 4420、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極 4407 との間で形成される。また、ゲート電極 4407、第 1 層間絶縁膜と同一の層（図示せず）及び電流供給線 4416 で形成される容量も保持容量として用いることが可能である。

【0131】〔実施例 4〕本実施例では、実施例 3 とは異なる画素構造を有した EL 表示装置について説明する。説明には図 14 を用いる。なお、図 13 と同一の符号が付してある部分については実施例 3 の説明を参照すれば良い。

【0132】図 14 では電流制御用 TFT 4501 として図 10 の n チャネル型 TFT 403 と同一構造の TFT を用いる。勿論、電流制御用 TFT 4501 のゲート配線 4502 はスイッチング用 TFT 4402 のドレイン配線 4405 に電氣的に接続されている。また、電流制御用 TFT 4501 のドレイン配線 4503 は画素電極 4504 に電氣的に接続されている。

【0133】本実施例では、導電膜からなる画素電極 4504 が EL 素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の 1 族もしくは 2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0134】画素電極 4504 の上には EL 層 4505 が形成される。なお、図 14 では一画素しか図示していないが、本実施例では G（緑）に対応した EL 層を蒸着法及び塗布法（好ましくはスピンコーティング法）により形成している。具体的には、電子注入層として 20 nm 厚のフッ化リチウム（LiF）膜を設け、その上に発光層として 70 nm 厚の PPV（ポリパラフェニレンビニレン）膜を設けた積層構造としている。

【0135】次に、EL 層 4505 の上には透明導電膜からなる陽極 4506 が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0136】この陽極 4506 まで形成された時点で EL 素子 4507 が完成する。なお、ここでいう EL 素子 4507 は、画素電極（陰極）4504、EL 層 4505 及び陽極 4506 で形成された積層を指す。

【0137】EL 素子に加える電圧が 10 V 以上といった高電圧の場合には、電流制御用 TFT 4501 においてホットキャリア効果による劣化が顕在化してくる。こ

のような場合に、電流制御用 TFT 4501 として本発明の構造の n チャネル型 TFT を用いることは有効である。

【0138】また、本実施例の電流制御用 TFT 4501 はゲート電極 4502 と LDD 領域 4509 との間にゲート容量と呼ばれる寄生容量を形成する。このゲート容量を調節することで図 13（A）、（B）に示した保持容量 4419 と同等の機能を持たせることも可能である。特に、EL 表示装置をデジタル駆動方式で動作させる場合においては、保持容量のキャパシタンスがアナログ駆動方式で動作させる場合よりも小さくて済むため、ゲート容量で保持容量を代用しうる。

【0139】なお、EL 素子に加える電圧が 10 V 以下、好ましくは 5 V 以下となった場合、上記ホットキャリア効果による劣化はさほど問題とならなくなるため、図 14 において LDD 領域 4509 を省略した構造の n チャネル型 TFT を用いても良い。

【0140】〔実施例 5〕本実施例では、実施例 3 もしくは実施例 4 に示した EL 表示装置の画素部に用いることができる画素構造の例を図 15（A）～（C）に示す。なお、本実施例において、4601 はスイッチング用 TFT 4602 のソース配線、4603 はスイッチング用 TFT 4602 のゲート配線、4604 は電流制御用 TFT、4605 はコンデンサ、4606、4608 は電流供給線、4607 は EL 素子とする。

【0141】図 15（A）は、二つの画素間で電流供給線 4606 を共通とした場合の例である。即ち、二つの画素が電流供給線 4606 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0142】また、図 15（B）は、電流供給線 4608 をゲート配線 4603 と平行に設けた場合の例である。なお、図 15（B）では電流供給線 4608 とゲート配線 4603 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 4608 とゲート配線 4603 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0143】また、図 15（C）は、図 15（B）の構造と同様に電流供給線 4608 をゲート配線 4603 と平行に設け、さらに、二つの画素を電流供給線 4608 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 4608 をゲート配線 4603 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0144】〔実施例 6〕本実施例では、本発明を実施した EL 表示装置の画素構造の例を図 16（A）、

(B) に示す。なお、本実施例において、4701 はスイッチング用 TFT 4702 のソース配線、4703 はスイッチング用 TFT 4702 のゲート配線、4704 は電流制御用 TFT、4705 はコンデンサ (省略することも可能)、4706 は電流供給線、4707 は電源制御用 TFT、4708 は電源制御用ゲート配線、4709 は EL 素子とする。電源制御用 TFT 4707 の動作については特願平 11-341272 号を参照すると良い。

【0145】また、本実施例では電源制御用 TFT 4707 を電流制御用 TFT 4704 と EL 素子 4708 との間に設けているが、電源制御用 TFT 4707 と EL 素子 4708 との間に電流制御用 TFT 4704 が設けられた構造としても良い。また、電源制御用 TFT 4707 は電流制御用 TFT 4704 と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

【0146】また、図 16 (A) は、二つの画素間で電流供給線 4706 を共通とした場合の例である。即ち、二つの画素が電流供給線 4706 を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0147】また、図 16 (B) は、ゲート配線 4703 と平行に電流供給線 4710 を設け、ソース配線 4701 と平行に電源制御用ゲート配線 4711 を設けた場合の例である。なお、図 16 (B) では電流供給線 4710 とゲート配線 4703 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線 4710 とゲート配線 4703 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0148】〔実施例 7〕本実施例では、本発明を実施した EL 表示装置の画素構造の例を図 17 (A)、

(B) に示す。なお、本実施例において、4801 はスイッチング用 TFT 4802 のソース配線、4803 はスイッチング用 TFT 4802 のゲート配線、4804 は電流制御用 TFT、4805 はコンデンサ (省略することも可能)、4806 は電流供給線、4807 は消去用 TFT、4808 は消去用ゲート配線、4809 は EL 素子とする。消去用 TFT 4807 の動作については特願平 11-338786 号を参照すると良い。

【0149】消去用 TFT 4807 のドレインは電流制御用 TFT 4804 のゲートに接続され、電流制御用 TFT 4804 のゲート電圧を強制的に変化させることができるようになってい。なお、消去用 TFT 4807 は n チャネル型 TFT としても p チャネル型 TFT としても良いが、オフ電流を小さくできるようにスイッチング用 TFT 4802 と同一構造とすることが好ましい。

【0150】また、図 17 (A) は、二つの画素間で電

流供給線 4806 を共通とした場合の例である。即ち、二つの画素が電流供給線 4806 を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0151】また、図 17 (B) は、ゲート配線 4803 と平行に電流供給線 4810 を設け、ソース配線 4801 と平行に消去用ゲート配線 4811 を設けた場合の例である。なお、図 17 (B) では電流供給線 4810 とゲート配線 4803 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線 4810 とゲート配線 4803 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0152】〔実施例 8〕本発明の EL 表示装置は画素内にいくつの TFT を設けた構造としても良い。例えば、四つ乃至六つまたはそれ以上の TFT を設けても構わない。本発明は EL 表示装置の画素構造に限定されず

に実施することが可能である。

【0153】〔実施例 9〕本発明を実施して形成された CMOS 回路や画素部は様々な電気光学装置 (アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 EL ディスプレイ) に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電気器具全てに本発明を実施できる。

【0154】その様な電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター (リア型またはフロント型)、ヘッドマウントディスプレイ (ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍等) などが挙げられる。それらの一例を図 18、図 19 及び図 20 に示す。

【0155】図 18 (A) はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示部 2003、キーボード 2004 等を含む。

【0156】図 18 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。

【0157】図 18 (C) はモバイルコンピュータ (モバイルコンピュータ) であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 等を含む。

【0158】図 18 (D) はゴーグル型ディスプレイであり、本体 2301、表示部 2302、アーム部 2303 等を含む。

【0159】図 18 (E) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 2401、表示部 2402、スピーカ部 240

3、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD (Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0160】図18 (F) はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部 (図示しない) 等を含む。

【0161】図19 (A) はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。 10

【0162】図19 (B) はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。

【0163】なお、図19 (C) は、図19 (A) 及び図19 (B) 中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図19 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0164】また、図19 (D) は、図19 (C) 中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図19 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0165】ただし、図19に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びEL表示装置での適用 40 例は図示していない。

【0166】図20 (A) は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。

【0167】図20 (B) は携帯書籍 (電子書籍) であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。

【0168】図20 (C) はディスプレイであり、本体 50

3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上 (特に30インチ以上) のディスプレイには有利である。

【0169】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施形態1~3、実施例1、2を組み合わせて構成される液晶表示装置で実現 50 することができる。

【0170】

【発明の効果】本発明にしたがって390~600nmの範囲の波長における光に対する非晶質シリコン膜と多結晶シリコン膜との吸収係数の差を利用すると、従来と比較して結晶粒径の大きな結晶質半導体膜を簡便な方法で得ることができる。さらに、この結晶粒径の大きな結晶質半導体膜を用いて半導体装置を作製することで、半導体装置の性能を大幅に向上させることができる。

【0171】例えば、非晶質シリコン領域と多結晶シリコン領域とが隣接して存在するシリコン膜に390~600nmの範囲の波長における光 (代表的にはNd:YAGレーザの第2高調波の光) を照射することによって、非晶質シリコン領域が完全溶融し、かつ多結晶シリコン領域は不完全溶融となり、この不完全溶融状態領域が核となって結晶成長が始まり、位置制御した大粒径の半導体膜を形成することができる。

【0172】SLS法など精密な位置制御が必要な方法と比較して、本方法は簡便な方法で位置制御して大粒径の結晶質半導体膜を得ることができる。さらに、本発明により得られた半導体膜をTFTに適用することで、良好なTFTを得ることができる。

【図面の簡単な説明】

【図1】 本発明の実施形態を示す図。

【図2】 本発明の実施形態を示す図。

【図3】 本発明の実施形態を示す図。

【図4】 レーザのエネルギー領域および非晶質シリコンと多結晶シリコンのレーザ吸収係数を示す図。

【図5】 本発明を利用してTFTを作製する工程を示す図。

【図6】 本発明を利用してTFTを作製する工程を示す図。

【図7】 本発明を利用してTFTを作製する工程を示す図。

【図8】 本発明を利用してTFTを作製する工程を示す図。

【図9】 本発明を利用してTFTを作製する工程を示す図。

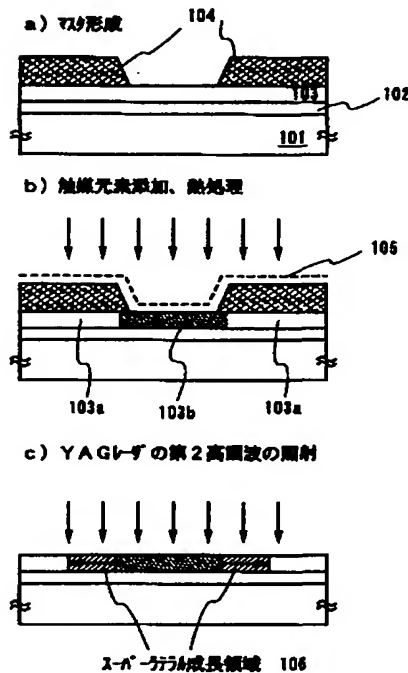
【図10】 本発明を利用してTFTを作製する工程を示す図。

【図11】 EL表示装置の構造を示す図。

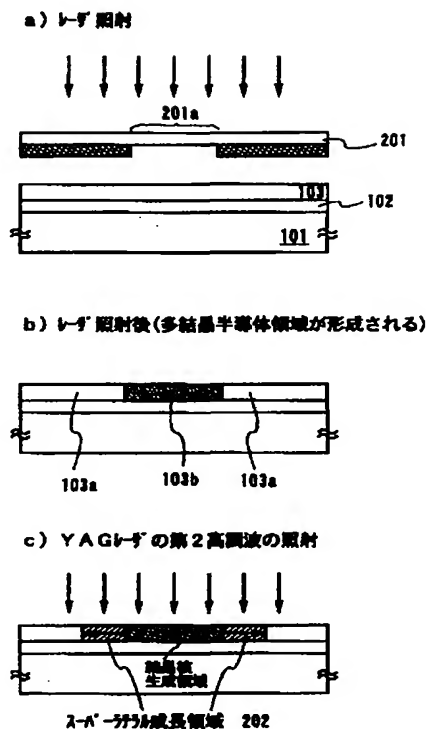
- 【図 12】 EL 表示装置の構造を示す図。  
 【図 13】 EL 表示装置の構造を示す図。  
 【図 14】 EL 表示装置の構造を示す図。  
 【図 15】 EL 表示装置の回路を示す図。  
 【図 16】 EL 表示装置の回路を示す図。  
 【図 17】 EL 表示装置の回路を示す図。  
 【図 18】 電気器具の具体例を示す図。  
 【図 19】 電気器具の具体例を示す図。  
 【図 20】 電気器具の具体例を示す図。

- 【図 21】 本発明を利用して作製された TFT の断面を示す図。  
 【図 22】 非晶質シリコンと多結晶シリコンの膜厚方向に対する発熱量を示す図。  
 【図 23】 シリコン層と石英ガラス基板との界面の温度履歴を示す図。  
 【図 24】 本発明の実施形態を示す図。  
 【図 25】 本発明の実施形態を示す図。

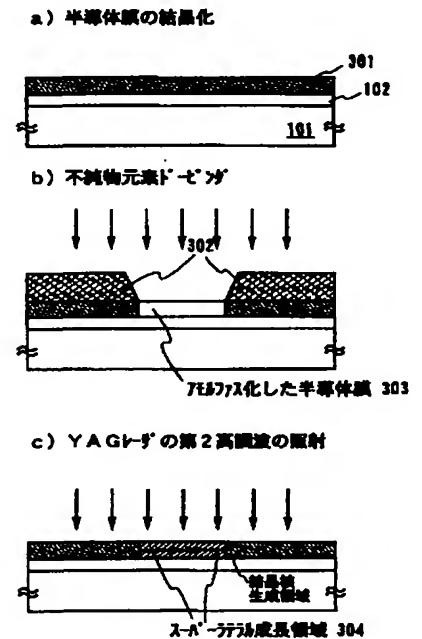
【図 1】



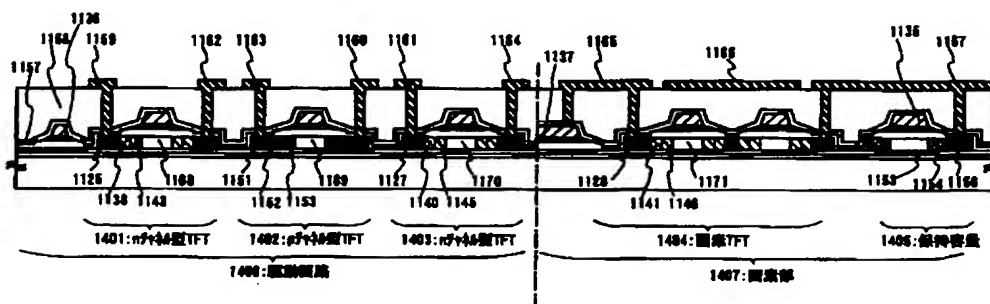
【図 2】



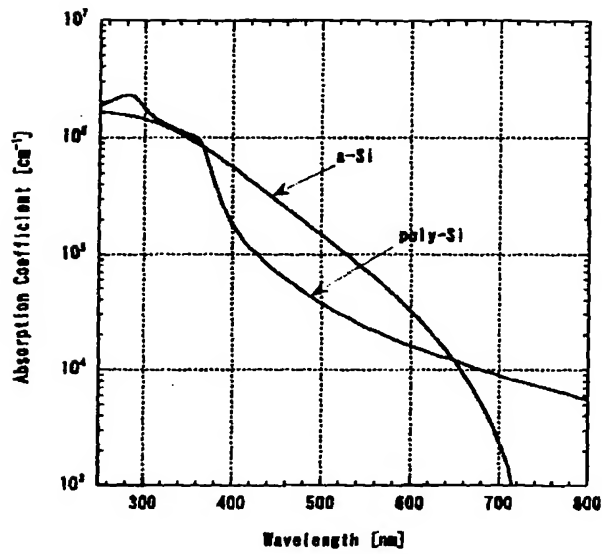
【図 3】



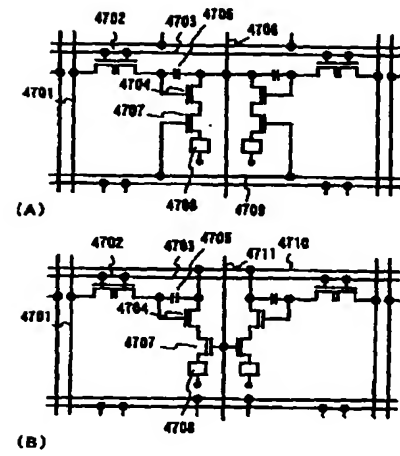
【図 10】



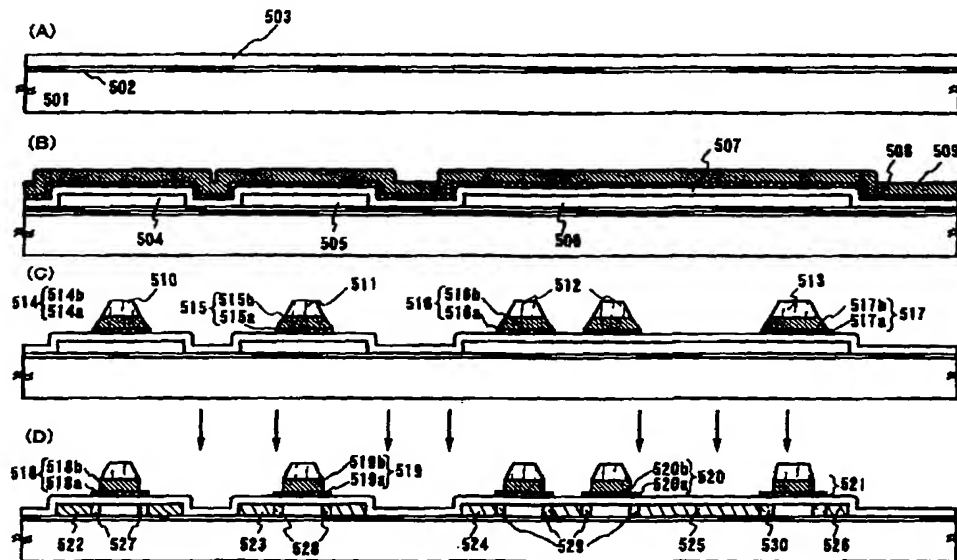
【図 4】



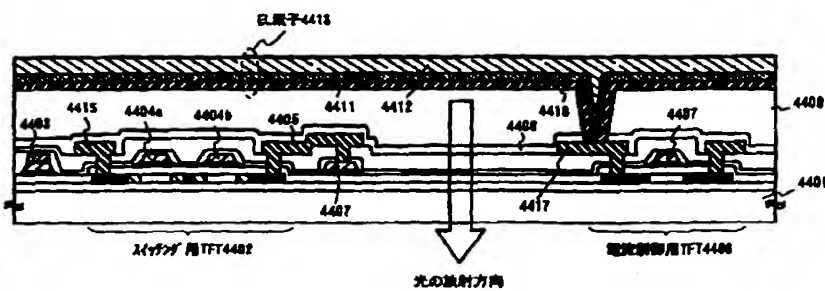
【図 16】



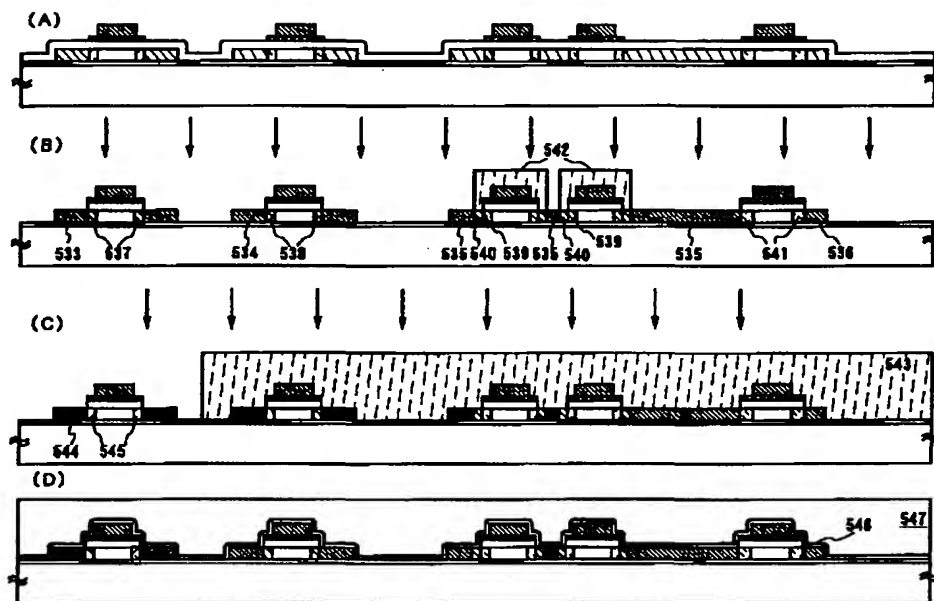
【図 5】



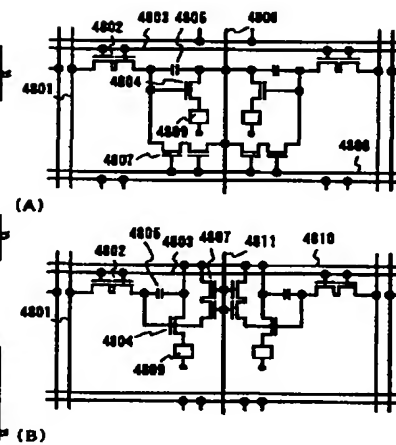
【図 12】



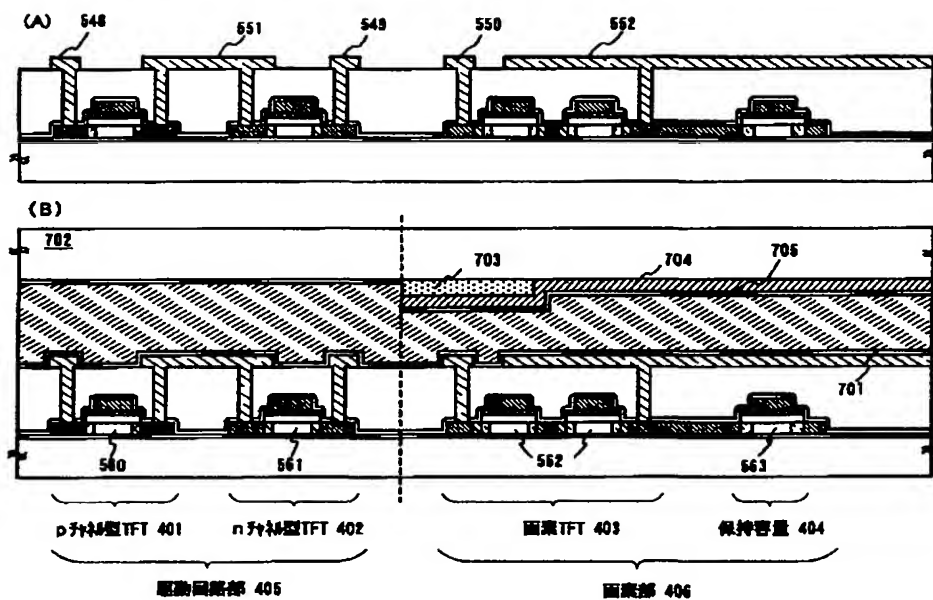
【図 6】



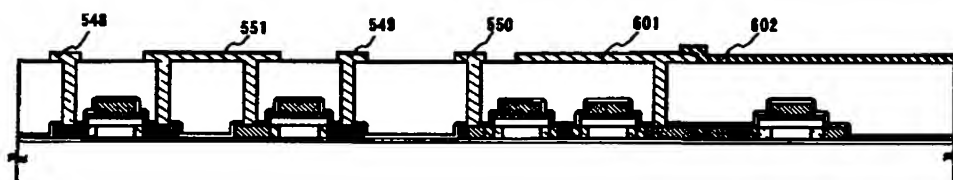
【図 17】



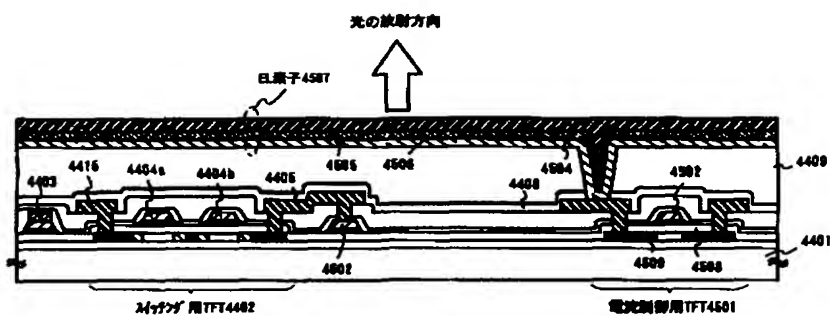
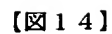
【図 7】



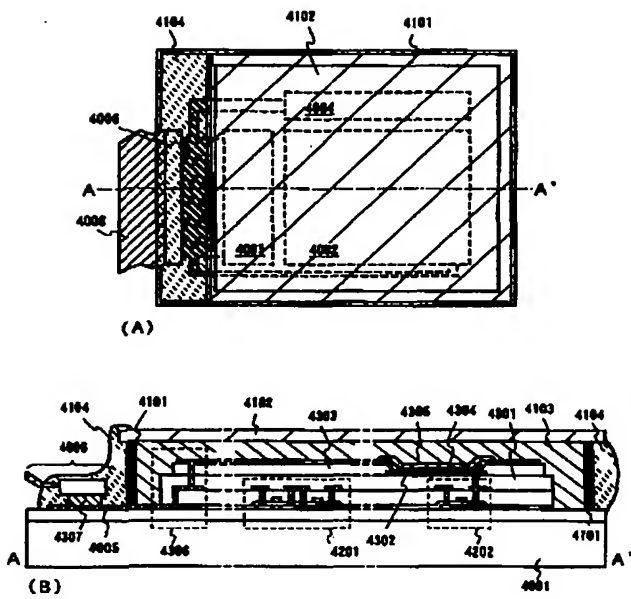
【図 21】



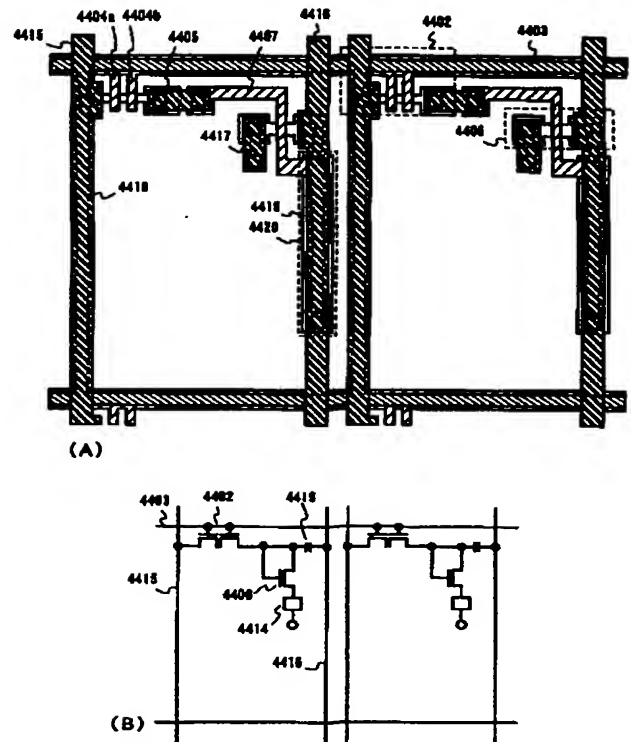
(A) 第1の導電膜と第2の導電膜の形成



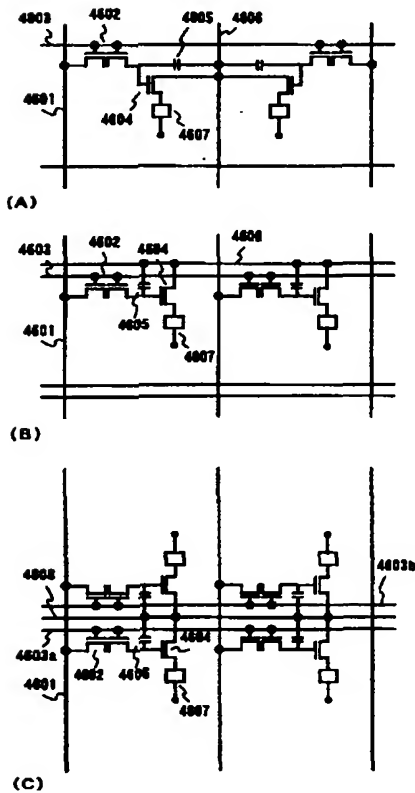
【図 11】



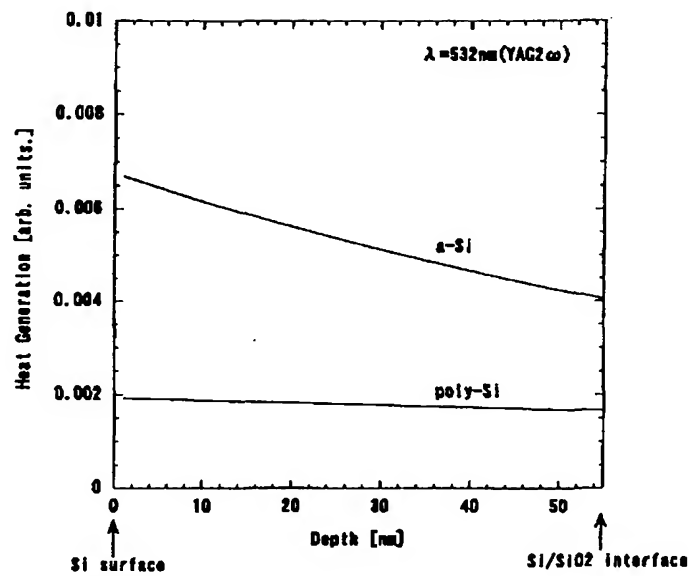
【図 13】



【図 15】

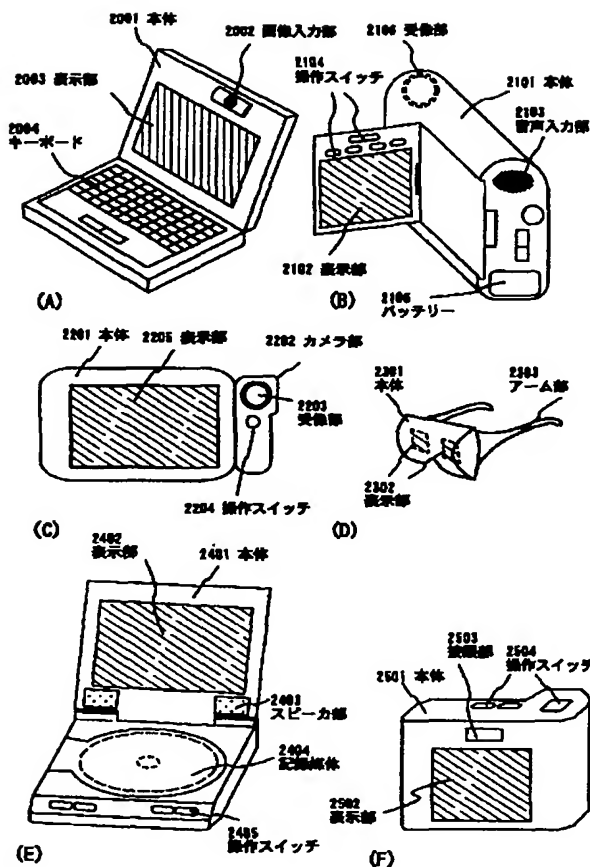


【図 22】

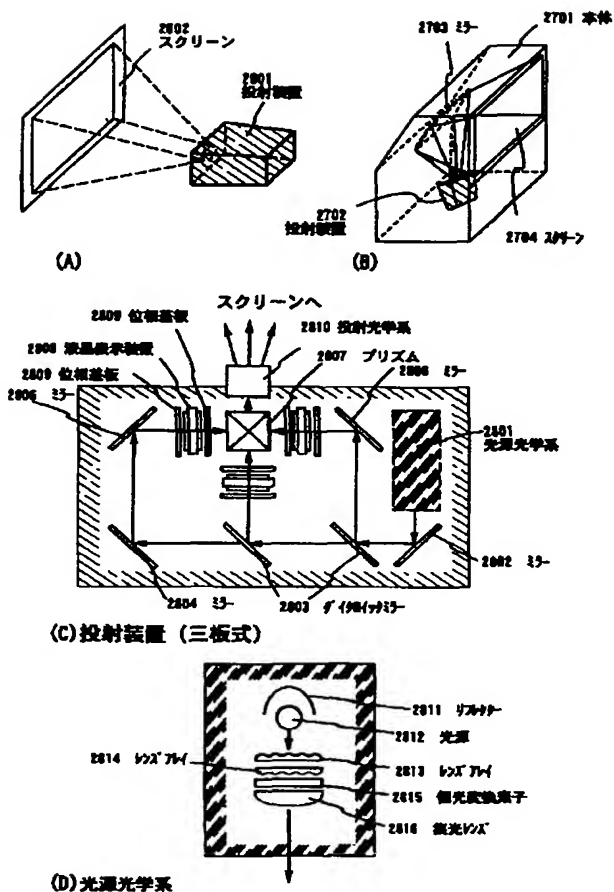




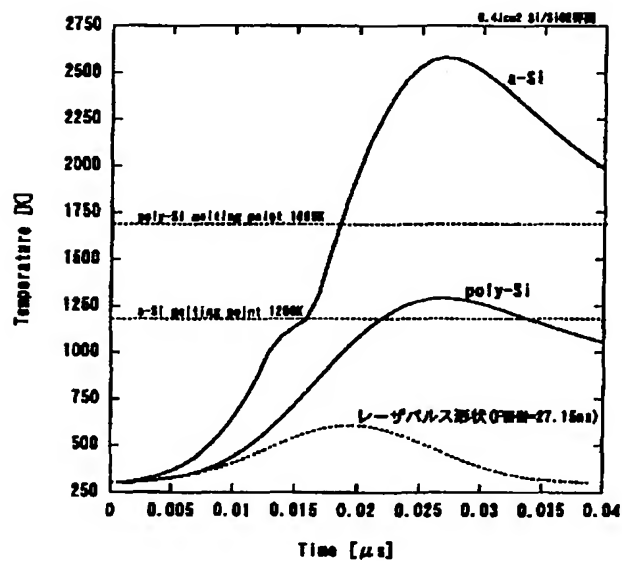
【図 18】



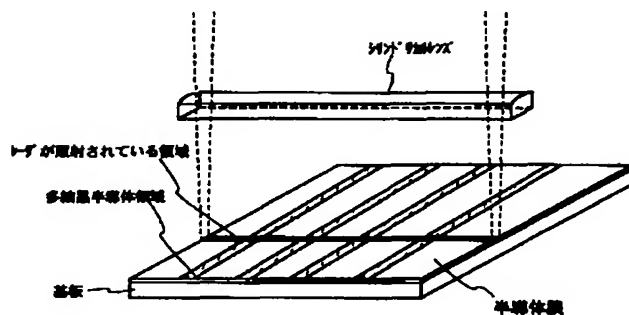
【图 19】



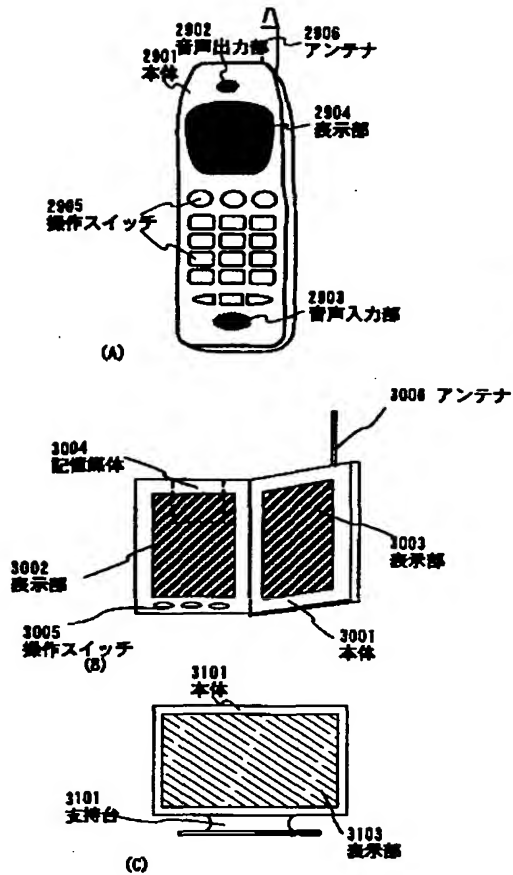
【图 2 3】



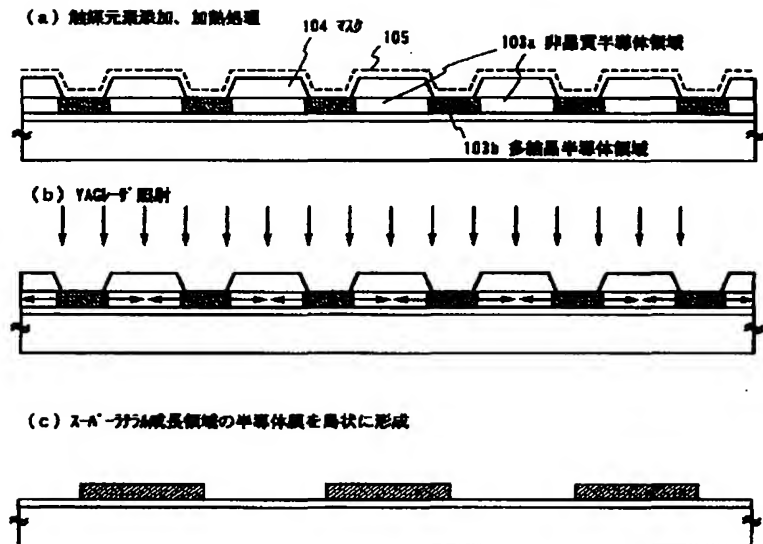
【图 25】



【図 20】



【図 24】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H01L 29/786

H01S 3/00

識別記号

FI

H01L 29/78

ターコード (参考)

627G 5F110

F ターム(参考) 2H092 GA59 JA25 JA46 JB58 KA04  
MA30 NA27  
5C094 AA07 AA22 AA25 AA43 BA03  
BA27 BA43 CA19 DA09 DA13  
DB01 DB04 EA04 EA05 EA10  
EB02 FA01 FA02 FB02 FB12  
FB14 FB15 GB10 JA11  
5F048 AB10 AC04 BA16 BB09 BC06  
BG07  
5F052 AA02 AA11 AA17 BA12 BB02  
BB07 CA04 DA02 DA03 DB03  
DB07 EA01 FA02 FA06 FA19  
JA01  
5F072 AB02 JJ12 YY06  
5F110 AA30 BB02 BB04 CC02 DD01  
DD02 DD13 DD14 DD15 DD17  
EE01 EE02 EE03 EE04 EE23  
EE28 EE44 EE45 FF02 FF04  
FF28 FF30 FF36 GG01 GG02  
GG13 GG25 GG43 GG45 HJ01  
HJ04 HJ12 HJ13 HJ23 HL04  
HL06 HL07 HL12 HL23 HM15  
NN03 NN04 NN22 NN27 NN72  
NN73 PP03 PP04 PP05 PP07  
PP23 PP33 PP34 QQ04 QQ09  
QQ11 QQ24 QQ25 QQ28